

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

J1017 U.S. PTO  
10/042264  
01/11/02

In re PATENT APPLICATION of  
Inventor(s): INABA

Appln. No.: \_\_\_\_\_  
Series Code    ↑                      ↑    Serial No.

Group Art Unit:

Filed: Herewith

Examiner:

Title: SEMICONDUCTOR DEVICE AND METHOD OF  
FABRICATING THE SAME

|                     |            |
|---------------------|------------|
| Atty. Dkt. P 284163 | 01F181     |
| M#                  | Client Ref |

Date: January 11, 2002

**SUBMISSION OF PRIORITY  
DOCUMENT IN ACCORDANCE  
WITH THE REQUIREMENTS OF RULE 55**

Hon. Asst Commissioner of Patents  
Washington, D.C. 20231

Sir:

Please accept the enclosed certified copy(ies) of the respective foreign application(s) listed below for which benefit under 35 U.S.C. 119/365 has been previously claimed in the subject application and if not is hereby claimed.

| <u>Application No.</u> | <u>Country of Origin</u> | <u>Filed</u>     |
|------------------------|--------------------------|------------------|
| 2001-010449            | JAPAN                    | January 18, 2001 |

Respectfully submitted,

Pillsbury Winthrop LLP  
Intellectual Property Group

1600 Tysons Boulevard  
McLean, VA 22102  
Tel: (703) 905-2000

Atty/Sec: DSL/vaw

|                               |                       |
|-------------------------------|-----------------------|
| By Atty: <u>Dale S. Lazar</u> | Reg. No. <u>28872</u> |
| Sig: <u>[Signature]</u>       | Fax: (703) 905-2500   |
|                               | Tel: (703) 905-2126   |

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

J1017 U.S. PTO  
10/042264  
01/11/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2001年 1月18日

出 願 番 号  
Application Number:

特願2001-010449

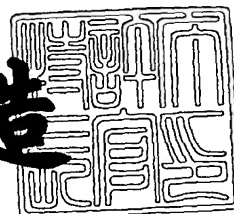
出 願 人  
Applicant(s):

株式会社東芝

2001年 8月10日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3071549

【書類名】 特許願

【整理番号】 00P513

【提出日】 平成13年 1月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 24

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

【氏名】 稲葉 聡

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100092820

【弁理士】

【氏名又は名称】 伊丹 勝

【電話番号】 03-5216-2501

【手数料の表示】

【予納台帳番号】 026893

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810498

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、この半導体基板の表面にゲート絶縁膜を介して形成されたゲート電極と、前記半導体基板に前記ゲート電極直下のチャネル領域を挟んで対向するように形成されたソース及びドレイン拡散層とを有し、前記ソース及びドレイン拡散層が低抵抗領域と、この低抵抗領域から前記チャネル領域側に拡張するように形成された低抵抗領域より低不純物濃度で浅い拡張領域とから構成される半導体装置において、

前記半導体基板の少なくとも前記ゲート電極直下の部分が、ゲート電極側から順に前記チャネル領域となる第 1 導電型の第 1 の半導体層、第 2 導電型の第 2 の半導体層及び第 1 導電型の第 3 の半導体層からなる 3 層構造を有し、

前記第 1 の半導体層は、前記ソース及びドレイン拡散層の拡張領域の接合深さ以下の深さに設定され、

前記第 2 の半導体層は、前記第 1 及び第 3 の半導体層との間に生じるビルトインポテンシャルにより完全空乏化するように不純物濃度と厚さが設定されていることを特徴とする半導体装置。

【請求項 2】 半導体基板と、この半導体基板の表面にゲート絶縁膜を介して形成されたゲート電極と、前記半導体基板に前記ゲート電極直下のチャネル領域を挟んで対向するように形成されたソース及びドレイン拡散層とを有する半導体装置において、

前記半導体基板の少なくとも前記ゲート電極直下の部分が、前記ゲート電極側から順に第 1 導電型の第 1 の半導体層、第 2 導電型の第 2 の半導体層及び第 1 導電型の第 3 の半導体層からなる 3 層構造を有し、

前記第 1 の半導体層は、前記ソース及びドレイン拡散層の接合深さ以下の深さに設定され、

前記第 2 の半導体層は、前記ソース及びドレイン拡散層の接合深さより深く且つ、前記第 1 及び第 3 の半導体層との間に生じるビルトインポテンシャルにより完全空乏化するように不純物濃度と厚さが設定されている

ことを特徴とする半導体装置。

【請求項 3】 前記ソース及びドレイン拡散層は、低抵抗領域と、この低抵抗領域から前記チャンネル領域側に拡張するように形成された低抵抗領域より低不純物濃度で浅い拡張領域とから構成されている

ことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記第 1 の半導体層は、チャンネル反転層形成時に完全空乏化するように不純物濃度及び厚さが設定されている

ことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】 前記第 1 の半導体層は、チャンネル反転層形成時に部分的に空乏化するように不純物濃度及び厚さが設定されている

ことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 6】 前記第 1 及び第 2 の半導体層は、前記第 3 の半導体層が形成された半導体基板上にエピタキシャル成長させたアンドープ半導体層に不純物をイオン注入して形成されたものである

ことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 7】 前記 3 層構造が、前記ゲート電極直下の領域に選択的に形成されている

ことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 8】 前記ソース及びドレイン拡散層の拡張領域直下に第 1 導電型の第 4 の半導体層が埋め込まれている

ことを特徴とする請求項 1 又は 3 記載の半導体装置。

【請求項 9】 前記ソース及びドレイン拡散層の低抵抗領域は、前記ゲート絶縁膜位置より上方に突出している

ことを特徴とする請求項 1 又は 3 記載の半導体装置。

【請求項 10】 前記ゲート電極は、金属膜により形成されている

ことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 11】 半導体基板と、この半導体基板の表面にゲート絶縁膜を介して形成されたゲート電極と、前記半導体基板に前記ゲート電極直下のチャンネル領域を挟んで対向するように形成されたソース及びドレイン拡散層とを有し、前

記ソース及びドレイン拡散層が低抵抗領域と、この低抵抗領域から前記チャンネル領域側に拡張するように形成された低抵抗領域より低不純物濃度で浅い拡張領域とから構成される半導体装置において、

前記半導体基板の少なくとも前記ゲート電極直下の部分が、ゲート電極側から順に前記チャンネル領域となる第 1 導電型の第 1 の半導体層、第 2 導電型の第 2 の半導体層及び第 1 導電型の第 3 の半導体層からなる 3 層構造を有し、

前記第 2 の半導体層は、前記ソース及びドレイン拡散層の拡張領域に接し且つ、前記第 1 及び第 3 の半導体層との間に生じるビルトインポテンシャルにより完全空乏化するように不純物濃度と厚さが設定されていることを特徴とする半導体装置。

【請求項 1 2】 前記第 1 の半導体層は、前記ソース及びドレインの拡張領域との間に形成される空乏層と完全空乏化する前記第 2 の半導体層により囲まれて、浮遊状態になっている

ことを特徴とする請求項 1 1 記載の半導体装置。

【請求項 1 3】 半導体基板に複数のトランジスタが形成された半導体装置において、

前記複数のトランジスタのうち少なくとも一つのトランジスタは、

前記半導体基板のゲート電極直下の部分に、前記ゲート電極側から順に第 1 導電型の第 1 の半導体層、第 2 導電型の第 2 の半導体層及び第 1 導電型の第 3 の半導体層からなる 3 層構造を有し、

前記第 1 の半導体層が、ソース及びドレイン拡散層の接合深さ以下の深さで且つ、チャンネル反転層形成時に完全空乏化するように不純物濃度と厚さが設定され

前記第 2 の半導体層が、前記ソース及びドレイン拡散層の接合深さより深く且つ、前記第 1 及び第 3 の半導体層との間に生じるビルトインポテンシャルにより完全空乏化するように不純物濃度と厚さが設定されている

ことを特徴とする半導体装置。

【請求項 1 4】 前記複数のトランジスタのうち少なくとも他の一つのトランジスタは、

前記半導体基板のゲート電極直下の部分に、ソース及びドレイン拡散層の拡散深さより深い第1導電型のバルク半導体層を有することを特徴とする請求項13記載の半導体装置。

【請求項15】 前記複数のトランジスタのうち少なくとも他の一つのトランジスタは、

前記半導体基板のゲート電極直下の部分に、前記ゲート電極側から順に第1導電型の第1の半導体層、第2導電型の第2の半導体層及び第1導電型の第3の半導体層からなる3層構造を有し、

前記第1の半導体層が、ソース及びドレイン拡散層の接合深さ以下の深さで且つ、チャンネル反転層形成時に部分的に空乏化するように不純物濃度と厚さが設定され、

前記第2の半導体層が、前記ソース及びドレイン拡散層の接合深さより深く且つ、前記第1及び第3の半導体層との間に生じるビルトインポテンシャルにより完全空乏化するように不純物濃度と厚さが設定されていることを特徴とする請求項13記載の半導体装置。

【請求項16】 少なくとも表面に第1導電型の第1の不純物拡散層を有する半導体基板にアンドープの半導体層をエピタキシャル成長させる工程と、

イオン注入を行って前記半導体層の底部に前記第1の不純物拡散層に接する第2導電型の第2の不純物拡散層を形成する工程と、

イオン注入を行って前記半導体層の表面部に前記第2の不純物拡散層に接する第1導電型の第3の不純物拡散層を形成する工程と、

前記第3の不純物拡散層上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記半導体基板に前記ゲート電極に自己整合された状態で、前記第3の不純物拡散層と第2の不純物拡散層の接合面より深く且つ、前記第2の不純物拡散層と第1の不純物拡散層の接合面より浅い拡散深さを持つソース及びドレイン拡散層を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項17】 少なくとも表面に第1導電型の第1の不純物拡散層を有す

る半導体基板にアンドープの第 1 の半導体層をエピタキシャル成長させる工程と

、  
イオン注入を行って前記第 1 の半導体層に前記第 1 の不純物拡散層に接する第 2 導電型の第 2 の不純物拡散層を形成する工程と、

前記第 2 の不純物拡散層上にアンドープの第 2 の半導体層をエピタキシャル成長させる工程と、

イオン注入を行って前記第 2 の半導体層に前記第 2 の不純物拡散層に接する第 1 導電型の第 3 の不純物拡散層を形成する工程と、

前記第 3 の不純物拡散層上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記半導体基板に前記ゲート電極に自己整合された状態で、前記第 3 の不純物拡散層と第 2 の不純物拡散層の接合面より深く且つ、前記第 2 の不純物拡散層と第 1 の不純物拡散層の接合面より浅い拡散深さを持つソース及びドレイン拡散層を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 1 8】 前記ソース及びドレイン拡散層を形成する工程は、

前記ゲート電極をマスクとしてイオン注入を行って前記第 3 の不純物拡散層より深い拡張領域を形成する工程と、

前記ゲート電極の側壁に側壁絶縁膜を形成する工程と、

前記ゲート電極及び側壁絶縁膜をマスクとしてイオン注入を行って、前記拡張領域より高不純物濃度であって、前記拡張領域より深く且つ、前記第 2 の不純物拡散層と第 1 の不純物拡散層の接合面より浅い低抵抗領域を形成する工程と、  
を有することを特徴とする請求項 1 6 又は 1 7 記載の半導体装置の製造方法。

【請求項 1 9】 前記半導体層のエピタキシャル成長工程に先立って、前記半導体基板に素子分離絶縁膜を形成する工程を有することを特徴とする請求項 1 6 記載の半導体装置の製造方法。

【請求項 2 0】 前記第 1 の半導体層のエピタキシャル成長工程に先立って、前記半導体基板に素子分離絶縁膜を形成する工程を有することを特徴とする請求項 1 7 記載の半導体装置の製造方法。



【請求項 2 1】 前記第 3 の不純物拡散層の形成工程の後に、前記半導体基板に素子分離絶縁膜を形成する工程を有する

ことを特徴とする請求項 1 6 又は 1 7 記載の半導体装置の製造方法。

【請求項 2 2】 前記第 2 の不純物拡散層は、前記第 1 及び第 3 の不純物拡散層との間のビルトインポテンシャルにより完全空乏化する不純物濃度と厚さをもって形成する

ことを特徴とする請求項 1 6 又は 1 7 記載の半導体装置の製造方法。

【請求項 2 3】 前記第 3 の不純物拡散層は、チャネル反転層形成時に完全空乏化するに必要な不純物濃度と厚さをもって形成する

ことを特徴とする請求項 1 6 又は 1 7 記載の半導体装置の製造方法。

【請求項 2 4】 前記第 3 の不純物拡散層は、チャネル反転層形成時に部分的に空乏化するに必要な不純物濃度と厚さをもって形成する

ことを特徴とする請求項 1 6 又は 1 7 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、バルク半導体を用いてトランジスタの微細化と高性能化を図った半導体装置とその製造方法に関する。

【0 0 0 2】

【従来の技術】

現在、微細化と高性能化に適したトランジスタとして、SOI (Silicon On Insulator) 基板を用いてチャネル領域を完全空乏化 (Fully Depleted) した MISFET が各所で研究開発されている。以下、この MISFET を、FD-SOIFET という。この素子は基本的に、チャネル領域となる酸化膜上のシリコン層が完全空乏化するに必要な低不純物濃度と厚さをもって構成される。

【0 0 0 3】

FD-SOIFET においては、ゲート電極からの垂直方向の電界がチャネル領域底部の埋め込み酸化膜により一部分担され、その分チャネル領域にかかる垂

直方向電界が小さくなる。このチャネル領域の垂直方向電界の緩和の結果として、チャネル領域のキャリア移動度が大きくなり、高い電流駆動能力が得られるというメリットを有する。

#### 【0004】

しかし、FD-SOI FETは更に微細化を考えたときにデメリットも多い。例えば、短チャネル効果を抑制するためには、非常に薄いシリコン層のSOI基板を用いることが必要になること、薄いシリコン層を用いると、寄生抵抗が大きくなること、チャネル領域上下がシリコンに比べて熱伝導率の小さい酸化膜で囲まれるため、ドレイン近傍の自己加熱領域で発生する熱の伝導が悪く、性能劣化が大きいこと等である。その他、SOI基板の品質とゲート絶縁膜の信頼性に難があり、プラズマダメージが大きい、といった問題もある。SOI基板が現在のところ高価である点もデメリットの一つである。

#### 【0005】

これに対して、バルク半導体を用いてFD-SOI FETと同様の効果を発揮させながら、上述したFD-SOI FETのデメリットを解決しようとする試みもなされている。具体的には、チャネル領域をp型層としたとき、その下にビルトインポテンシャルによって空乏化する低不純物濃度の $n^-$ 型層を配置した $p/n^-/p$ 構造を用いることにより、擬似SOI FETを実現しようという提案がなされている(①T. Mizuno et al, :1991 Symp. on VLSI Tech. p.109(1991), ② M.Miyamoto et al, :IEDM Tech. Dig. p.411 (19978), ③石井、宮本：特開平7-335837号公報等)。

#### 【0006】

##### 【発明が解決しようとする課題】

しかしながら、従来提案されている擬似SOI FETには、まだ解決すべき問題が多く、サブミクロンのにおいて十分な性能を得ることは難しい。即ち、文献①～③に示された擬似SOI FETは、チャネル領域の深さ(厚さ)がソース、ドレイン拡散層深さより深くなっている。これは、更に微細化したときに短チャネル効果を抑制する上で大きな妨げとなる。また、チャネル領域の半導体層を完全空乏化素子を実現するに必要な低不純物濃度層にすると、ゲート長(チャネル

長) がサブミクロンと短くなったときにパンチスルーが問題になる。そしてパンチスルーを防止するためには、文献②，③に示されているような複雑なドレイン構造を必要とする。

【0007】

また、文献②，③に示された構造では、カウンタドーピングにより形成されるソース、ドレイン拡散層底部が $n^-$ 型層の下の方型層にまで達している。このため、ソース及びドレインの接合容量が大きく、高速動作が難しくなる。

更に文献②，③では、チャンネル領域の $p/n^-/p$ 構造を得る方法として、イオン注入法しか考えられていない。しかし実際にイオン注入法のみで $p/n^-/p$ 構造を得ようとする、チャンネル領域の不純物濃度低減と薄膜化には限界がある。

【0008】

この発明は、上記した事情を考慮してなされたもので、バルク半導体を用いてより簡単な構造で微細化と高性能化を可能としたトランジスタを持つ半導体装置とその製造方法を提供することを目的としている。

【0009】

【課題を解決するための手段】

この発明は、半導体基板と、この半導体基板の表面にゲート絶縁膜を介して形成されたゲート電極と、前記半導体基板に前記ゲート電極直下のチャンネル領域を挟んで対向するように形成されたソース及びドレイン拡散層とを有し、前記ソース及びドレイン拡散層が低抵抗領域と、この低抵抗領域から前記チャンネル領域側に拡張するように形成された低抵抗領域より低不純物濃度で浅い拡張領域とから構成される半導体装置において、前記半導体基板の少なくとも前記ゲート電極直下の部分が、ゲート電極側から順に前記チャンネル領域となる第1導電型の第1の半導体層、第2導電型の第2の半導体層及び第1導電型の第3の半導体層からなる3層構造を有し、前記第1の半導体層は、前記ソース及びドレイン拡散層の拡張領域の接合深さ以下の深さに設定され、前記第2の半導体層は、前記第1及び第3の半導体層との間に生じるビルトインポテンシャルにより完全空乏化するように不純物濃度と厚さが設定されていることを特徴とする。

## 【 0 0 1 0 】

この発明はまた、半導体基板と、この半導体基板の表面にゲート絶縁膜を介して形成されたゲート電極と、前記半導体基板に前記ゲート電極直下のチャネル領域を挟んで対向するように形成されたソース及びドレイン拡散層とを有する半導体装置において、前記半導体基板の少なくとも前記ゲート電極直下の部分が、前記ゲート電極側から順に第1導電型の第1の半導体層、第2導電型の第2の半導体層及び第1導電型の第3の半導体層からなる3層構造を有し、前記第1の半導体層は、前記ソース及びドレイン拡散層の接合深さ以下の深さに設定され、前記第2の半導体層は、前記ソース及びドレイン拡散層の接合深さより深く且つ、前記第1及び第3の半導体層との間に生じるビルトインポテンシャルにより完全空乏化するように不純物濃度と厚さが設定されていることを特徴とする。

この場合好ましくは、ソース及びドレイン拡散層は、低抵抗領域と、この低抵抗領域からチャネル領域側に拡張するように形成された低抵抗領域より低不純物濃度で浅い拡張領域とから構成されるものとする。

## 【 0 0 1 1 】

この発明によると、バルク半導体を用いたFETであって、ゲート電極直下にpnp（又はnpn）の3層構造を、その中間層がビルトインポテンシャルで完全空乏化するように形成することにより、疑似SOIFETを得ることができる。特に、上記3層構造のうちチャネル領域となる第1の半導体層を極めて薄く形成することにより、微細化したときの短チャネル効果を抑制して、しかもパルス耐性を高いものとすることができる。

更に、ソース、ドレイン拡散層の拡散深さを、第2の半導体層と第3の半導体層の接合面より浅く形成することにより、ソース、ドレインの接合容量及び接合リークを小さく抑えることができる。

## 【 0 0 1 2 】

この発明において、好ましくは、第1の半導体層は、チャネル反転層形成時に完全空乏化するように不純物濃度及び厚さが設定される。これにより、完全空乏化FETが得られる。

或いはまた、第1の半導体層の不純物濃度及び厚さを、チャネル反転層形成時

に部分的に空乏化するように設定することもでき、これにより部分的空乏化 F E T が得られる。

#### 【 0 0 1 3 】

この発明において、ゲート電極直下の 3 層構造は、ゲート電極直下の領域のみに選択的に形成されたものでもよい。

またこの発明において、ソース及びドレイン拡散層の拡張領域直下に第 1 導電型の第 4 の半導体層が埋め込まれた構造とすることもでき、これにより、より高いパンチスルー耐性を得ることができる。

更にこの発明において、好ましくは、ソース及びドレイン拡散層の低抵抗領域は、選択エピタキシャル成長によりゲート絶縁膜位置より上方に突出しているものとする。これにより、浅い拡散深さのソース、ドレイン拡散層を形成することが可能になる。

更にまた、この発明において好ましくは、ゲート電極は、所望のしきい値電圧を得るために必要な仕事関数を持つメタル電極により形成される。

#### 【 0 0 1 4 】

この発明は更に、半導体基板と、この半導体基板の表面にゲート絶縁膜を介して形成されたゲート電極と、前記半導体基板に前記ゲート電極直下のチャネル領域を挟んで対向するように形成されたソース及びドレイン拡散層とを有し、前記ソース及びドレイン拡散層が低抵抗領域と、この低抵抗領域から前記チャネル領域側に拡張するように形成された低抵抗領域より低不純物濃度で浅い拡張領域とから構成される半導体装置において、前記半導体基板の少なくとも前記ゲート電極直下の部分が、ゲート電極側から順に前記チャネル領域となる第 1 導電型の第 1 の半導体層、第 2 導電型の第 2 の半導体層及び第 1 導電型の第 3 の半導体層からなる 3 層構造を有し、前記第 2 の半導体層は、前記ソース及びドレイン拡散層の拡張領域に接し且つ、前記第 1 及び第 3 の半導体層との間に生じるビルトインポテンシャルにより完全空乏化するように不純物濃度と厚さが設定されていることを特徴とする。

このような構造として、第 1 の半導体層が、ソース及びドレインの拡張領域との間に形成される空乏層と完全空乏化する第 2 の半導体層により囲まれて、浮遊

状態になる条件のもとでは、部分空乏化 F E T が得られる。

【 0 0 1 5 】

この発明はまた、半導体基板に複数のトランジスタが形成された半導体装置において、前記複数のトランジスタのうち少なくとも一つのトランジスタは、前記半導体基板のゲート電極直下の部分に、前記ゲート電極側から順に第 1 導電型の第 1 の半導体層、第 2 導電型の第 2 の半導体層及び第 1 導電型の第 3 の半導体層からなる 3 層構造を有し、前記第 1 の半導体層が、ソース及びドレイン拡散層の接合深さ以下の深さで且つ、チャンネル反転層形成時に完全空乏化するように不純物濃度と厚さが設定され、前記第 2 の半導体層が、前記ソース及びドレイン拡散層の接合深さより深く且つ、前記第 1 及び第 3 の半導体層との間に生じるビルトインポテンシャルにより完全空乏化するように不純物濃度と厚さが設定されていることを特徴とする。

【 0 0 1 6 】

この発明により、微細化して且つ短チャンネル効果が抑制される、完全空乏化素子である疑似 S O I F E T を集積した L S I を得ることができる。更に、このような完全空乏化素子と共に、半導体基板のゲート電極直下の部分に、ソース及びドレイン拡散層の拡散深さより深い第 1 導電型のバルク半導体層を有するバルク F E T を混在させることより、L S I の各回路部の性能を最適設計することが容易になる。

或いは、上述した完全空乏化素子を集積した L S I に、チャンネル領域が部分的に空乏化する部分空乏化素子を混載することによっても、同様に L S I の各回路部の性能を最適設計することができる。この部分空乏化素子では、半導体基板のゲート電極直下の部分に、ゲート電極側から順に第 1 導電型の第 1 の半導体層、第 2 導電型の第 2 の半導体層及び第 1 導電型の第 3 の半導体層からなる 3 層構造を有し、第 1 の半導体層が、ソース及びドレイン拡散層の接合深さ以下の深さで且つ、チャンネル反転層形成時に部分的に空乏化するように不純物濃度と厚さが設定され、第 2 の半導体層が、ソース及びドレイン拡散層の接合深さより深く且つ、第 1 及び第 3 の半導体層との間に生じるビルトインポテンシャルにより完全空乏化するように不純物濃度と厚さが設定される。

## 【 0 0 1 7 】

この発明による半導体装置の製造方法は、少なくとも表面に第 1 導電型の第 1 の不純物拡散層を有する半導体基板にアンドープの半導体層をエピタキシャル成長させる工程と、イオン注入を行って前記半導体層の底部に前記第 1 の不純物拡散層に接する第 2 導電型の第 2 の不純物拡散層を形成する工程と、イオン注入を行って前記半導体層の表面部に前記第 2 の不純物拡散層に接する第 1 導電型の第 3 の不純物拡散層を形成する工程と、前記第 3 の不純物拡散層上にゲート絶縁膜を介してゲート電極を形成する工程と、前記半導体基板に前記ゲート電極に自己整合された状態で、前記第 3 の不純物拡散層と第 2 の不純物拡散層の接合面より深く且つ、前記第 2 の不純物拡散層と第 1 の不純物拡散層の接合面より浅い拡散深さを持つソース及びドレイン拡散層を形成する工程と、を有することを特徴とする。

## 【 0 0 1 8 】

この発明によると半導体装置の製造方法はまた、少なくとも表面に第 1 導電型の第 1 の不純物拡散層を有する半導体基板にアンドープの第 1 の半導体層をエピタキシャル成長させる工程と、イオン注入を行って前記第 1 の半導体層に前記第 1 の不純物拡散層に接する第 2 導電型の第 2 の不純物拡散層を形成する工程と、前記第 2 の不純物拡散層上にアンドープの第 2 の半導体層をエピタキシャル成長させる工程と、イオン注入を行って前記第 2 の半導体層に前記第 2 の不純物拡散層に接する第 1 導電型の第 3 の不純物拡散層を形成する工程と、前記第 3 の不純物拡散層上にゲート絶縁膜を介してゲート電極を形成する工程と、前記半導体基板に前記ゲート電極に自己整合された状態で、前記第 3 の不純物拡散層と第 2 の不純物拡散層の接合面より深く且つ、前記第 2 の不純物拡散層と第 1 の不純物拡散層の接合面より浅い拡散深さを持つソース及びドレイン拡散層を形成する工程と、を有することを特徴とする。

## 【 0 0 1 9 】

この発明の製造方法によると、エピタキシャル成長とイオン注入を用いることによって、疑似 S O I F E T の低不純物濃度で浅いチャネル領域半導体層を形成することができる。

この発明の製造方法において、ソース及びドレイン拡散層を形成する工程は好ましくは、ゲート電極をマスクとしてイオン注入を行って第3の不純物拡散層より深い拡張領域を形成する工程と、ゲート電極の側壁に側壁絶縁膜を形成する工程と、ゲート電極及び側壁絶縁膜をマスクとしてイオン注入を行って、前記拡張領域より高不純物濃度であって、前記拡張領域より深く且つ、第2の不純物拡散層と第1の不純物拡散層の接合面より浅い低抵抗領域を形成する工程とを有するものとする。

## 【 0 0 2 0 】

また、この発明の製造方法において、素子分離絶縁膜を形成する工程は、半導体層のエピタキシャル成長工程に先立って行ってもよいし、或いはチャネル領域の3層構造を形成した後に行ってもよい。特に後者を利用すれば、素子分離後にエピタキシャル成長を行った場合の隣接する素子領域の短絡等を防止することが可能になる。

## 【 0 0 2 1 】

## 【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。以下の実施の形態ではすべてNチャネルMISFETを示すが、各部の導電型を逆にしたPチャネルMISFETに同様にこの発明を適用できることは、いうまでもない。

## 【 0 0 2 2 】

## 〔実施の形態1〕

図1は、実施の形態1によるMISFETの断面構造を示している。

シリコン基板1の表面部には、ウェルイオン注入等によりp型層2が形成され、この上に低不純物濃度のn<sup>-</sup>型層3、更にチャネル領域となるp型層4が形成されている。これらのp/n<sup>-</sup>/p構造のうち、少なくとも上部のp型層4とその下のn<sup>-</sup>型層3の部分は、後に説明するように、エピタキシャル成長工程とイオン注入工程を併用して形成されたものである。

チャネル領域となるp型層4の上にゲート絶縁膜5を介してゲート電極6が形成されている。ゲート電極6は、所定の仕事関数を持つメタル電極6aを主体として、この上に多結晶シリコン電極6bが重ねられている。



## 【 0 0 2 3 】

ソース、ドレイン拡散層 7 は、ゲート電極 6 の側壁に設けられた側壁絶縁膜 8 とゲート電極 6 とをマスクとしたイオン注入により形成された、 $n^+$ 型の低抵抗領域 7 a と、側壁絶縁膜 8 を形成する前にゲート電極 6 をマスクとしたイオン注入により形成されて、 $n^+$ 型低抵抗領域 7 a からチャネル領域に拡張する形に形成された、低抵抗領域 7 a より低不純物濃度で浅い  $n$  型拡張領域 7 b とから構成されている。なお低抵抗領域 7 a は、ゲート絶縁膜 5 の位置より上方に突出した状態に形成されている。この構造は後述するように、ゲート電極 6 を形成した後に選択エピタキシャル成長を行うことにより得られる。そしてこの構造を利用することにより、低抵抗領域 7 a の接合深さを、 $p$  型層 2 に達しない位置に抑えるようにしている。

## 【 0 0 2 4 】

ゲート電極下の  $p/n^-/p$  構造の  $n^-$  型層 3 は、上下の  $p$  型層 4, 2 との間のビルトインポテンシャルにより完全空乏化するように、不純物濃度と厚さが設定されている。これにより、チャネル領域下に埋め込み酸化膜がある SOI 構造と類似の疑似 SOI FET となる。以下、このトランジスタをデプレッション層上のシリコンを用いた FET (Silicon On Depletion Layer FET) という意味で、"SODELFET" と称する。

## 【 0 0 2 5 】

チャネル領域となる  $p$  型層 4 は、チャネル反転層形成時に完全空乏化するように、やはり不純物濃度と厚さが選択される。これにより、完全空乏化素子即ち、FD-SODELFET となる。特に、 $p$  型層 4 は、短チャネル効果を抑制するために十分に薄くすることが必要であり、図 1 では、 $n^-$  型層 3 との接合面が、ソース及びドレインの拡張領域 7 b の接合深さより浅くなっている。

## 【 0 0 2 6 】

図 3 は、チャネル領域の  $p$  型層 4 の厚さとしきい値電圧のロールオフ値  $\delta V_{th}$  (短チャネル時のしきい値電圧と長チャネル時のしきい値電圧の差) の関係を、 $p$  型層 4 の不純物濃度をパラメータとして示している。なおしきい値電圧のロールオフ値  $\delta V_{th}$  は、図 13 に示すように、ゲート長  $L_g$  (即ちチャネル長)

が小さくなるにつれて大きくなることが知られている。図3のデータは、 $n^-$ 型層3の不純物濃度が、 $1 \text{ E } 16 / \text{cm}^3$ 、ゲート酸化膜厚が3 nm、電源が  $V_d = 1.2 \text{ V}$  の場合の計算結果である。図3には比較のため、SOI FETのデータを示し、また破線で囲んだデータは均一ドープのp型バルクシリコンを用いた通常のbulk FETの場合を示している。

## 【0027】

図3から、p型層4の厚さが小さくなる程、しきい値電圧のロールオフ値  $\delta V_{th}$  はゼロに近づき、短チャネル効果が抑制されることがわかる。これは、SOI FETと同様の効果であって、チャネル領域を薄膜化することにより、ドレイン形状に沿ったポテンシャル分布の二次元効果が弱くなり、垂直方向の一次元ポテンシャル分布のみでしきい値電圧が決まるようになるためである。

## 【0028】

図3はまた、同じ  $\delta V_{th}$  であれば、この実施の形態によるSODELFETの方がSOI FETよりp型層4が厚くてよいことを示している。これは、無理して薄膜を形成することなく、MISFETを作ることができること、p型層4の膜厚のばらつきに起因するしきい値電圧のばらつきを小さくできること、を意味しており、実際の素子製造に有利であることを示している。

## 【0029】

但し、以上の効果は、p型層4の不純物濃度に依存している。図3に示すように、p型層4の不純物濃度が  $1 \text{ E } 17 / \text{cm}^3$  程度以上になると、薄膜化による短チャネル効果抑制の効果が殆どなくなり、相当の薄膜化をしないと効果が望めなくなる。これは、薄膜化によりチャネル直下の空乏層の伸びが小さくなる結果である。従って、チャネル領域となるp型層4は、不純物濃度と厚さを最適化することが必要になる。

## 【0030】

ビルトインポテンシャルにより完全空乏化させる必要がある $n^-$ 型層3も、不純物濃度と厚さの最適化が必要である。 $n^-$ 型層3の一部が空乏化されずに残ると、これによりソース、ドレイン間が短絡されてリーク電流が増大するからである。一方、この $n^-$ 型層3の厚さでチャネル領域の垂直電界の緩和の程度が決ま

り、チャネル領域のキャリア移動度を大きく保つには、 $n^-$ 型層 3 の膜厚がある程度大きい方がよい。

#### 【 0 0 3 1 】

図 4 は、この  $n^-$  型層 3 の厚さと短チャネル効果を示す  $\delta V_{th}$  及びキャリア移動度（電子移動度  $\mu_e$ ）の関係を示す。図示のように、 $n^-$  型層 3 が厚くなるにつれて、電子移動度  $\mu_e$  は大きくなるが、 $\delta V_{th}$  も大きくなる。即ち、短チャネル効果の抑制とキャリア移動度改善とがトレードオフの関係にあることを示している。

#### 【 0 0 3 2 】

ソース、ドレインの低抵抗領域である  $n^+$  型層 7 a の接合深さは、前述のように、 $n^-$  型層 3 と p 型層 2 の接合面より浅く設定されている。これにより、 $n^+$  型層 7 a が p 型層 2 に達する深さに形成された場合に比べて、ソース、ドレインの接合容量及び接合リークが小さく抑えられる他、低しきい値電圧でも高いパンチスルー耐圧が得られるという効果が期待できる。

#### 【 0 0 3 3 】

以上のように  $p/n^-/p$  構造の不純物濃度分布と厚さを適正化するには、プロセス条件を最適化することが必要である。本発明者のプロセスシミュレーションによれば、 $p/n^-/p$  の 3 層構造を従来のようにイオン注入工程のみで形成することは困難であることが明らかになった。即ち、図 1 の p 型層 2 をイオン注入により  $1E18/cm^3$  程度の不純物濃度をもって形成しようとする、大きなドーズ量で且つ高加速エネルギーで行わなければならない、その不純物分布の深さ方向の裾が大きく広がる。そうすると、形成された p 型層 2 の表面部に更にイオン注入により低不純物濃度の  $n^-$  層 3 及び p 型層 4 を形成しようとしても、所望の不純物プロファイルとはかけ離れたものになってしまう。

#### 【 0 0 3 4 】

そこでこの発明の製造工程では、図 1 においてチャネル領域となる p 型層 4 及びその下の  $n^-$  型層 3 について、エピタキシャル成長層を利用する。具体的に、図 1 の  $p/n^-/p$  構造を得るための製造工程例を、以下に説明する。

#### 【 0 0 3 5 】

図 5 A ~ 図 5 D は、具体的な L S I への適用を考慮して、素子分離工程を含めた  $p/n^-/p$  構造を得るための一つの製造工程例を示している。まず、図 5 A に示すように、シリコン基板 1 の表面にバッファ酸化膜 2 1 とシリコン窒化膜 2 2 の積層マスクを形成し、素子分離領域に R I E により溝を形成して、この溝に素子分離絶縁膜 2 3 を埋め込む。この後、シリコン窒化膜 2 2 とバッファ酸化膜 2 1 を除去して、図 5 B に示すように、ボロン (B) イオン注入を行って p 型層 2 を形成する。具体的に、ボロン (B) を加速電圧 2 0 k e V、ドーズ量  $5 \times 10^{13} / \text{cm}^2$  でイオン注入する。そしてこの p 型層 2 の上に、アンドープのシリコン層 1 0 を例えば 8 0 n m の厚さにエピタキシャル成長させる。次いで、図 5 C に示すように、このシリコン層 1 0 に、砒素 (A s) イオン注入を行って、 $n^-$  型層 3 を形成する。A s イオン注入条件は例えば、加速電圧 2 0 k e V、ドーズ量  $5 \times 10^{11} / \text{cm}^2$  とする。続いて、図 5 D に示すように、B イオン注入を行って、 $n^-$  型層 3 の表面部にチャネル領域となる p 型層 4 を形成する。この B イオン注入条件は例えば、加速電圧 5 k e V、ドーズ量  $6 \times 10^{11} / \text{cm}^2$  とする。

#### 【 0 0 3 6 】

図 6 A ~ 図 6 E は、2 段階のエピタキシャル成長を利用する場合を示している。図 6 A は、図 5 A と同じ素子分離工程を示している。素子分離後、図 6 B に示すように、シリコン基板 1 の表面に B イオン注入により p 型層 2 を形成した後、この上にアンドープのシリコン層 1 0 をエピタキシャル成長させる。そして、図 6 C に示すように、このシリコン層 1 0 に、A s イオン注入を行って、 $n^-$  型層 3 を形成する。続いて図 6 D に示すように、再度エピタキシャル成長を行って、 $n^-$  型層 3 上にアンドープのシリコン層 1 1 を形成する。続いて、図 6 E に示すように、シリコン層 1 1 に B イオン注入を行って、チャネル領域となる p 型層 4 を形成する。

#### 【 0 0 3 7 】

図 2 は、以上のような工程により形成される  $p/n^-/p$  構造の不純物プロファイルを示している。エピタキシャル成長工程を組み合わせることにより、完全空乏化させるに必要な低不純物濃度と厚さを持つ  $n^-$  型層 3 及び p 型層 4 を形成

することが可能になる。

【0038】

上述のように素子分離工程を、 $p/n^-/p$  構造を形成する前に行うことは、素子分離工程での熱による  $p/n^-/p$  構造の不純物の再拡散を防止する上で好ましい。しかしこの工程では、素子分離領域が狭い場合には、シリコン層のエピタキシャル成長工程で隣接する素子領域のシリコン層が素子分離領域上でつながってしまう可能性がある。このような事態を確実に防止するためには、 $p/n^-/p$  構造を形成した後に素子分離工程を入れればよい。

【0039】

その様な素子分離工程を持つ場合について、具体的な SODELFET の集積化の工程を、図 7～図 12 を参照して説明する。図 7 に示すシリコン基板 1 上の  $p$  型層 2、 $n^-$  型層 3 及び  $p$  型層 4 は、素子分離工程を行うことなく、先の図 5 A～図 5 D 或いは図 6 A～図 6 E で説明したエピタキシャル成長工程とイオン注入工程の組み合わせにより作られたものとする。この様な  $p/n^-/p$  構造が形成された基板に、図 7 に示すように、バッファ酸化膜 21 とシリコン窒化膜 22 によるマスクをトランジスタ領域にパターン形成し、RIE により  $p$  型層 2 に達する深さに素子分離溝を形成して、ここに素子分離絶縁膜 23 を埋め込む。

【0040】

次いで、図 8 に示すように、ゲート酸化膜 5 を形成し、ゲート電極 6 を形成する。ゲート電極 6 は、所定のしきい値電圧を得るに必要な仕事関数を持つメタル電極 6a と多結晶シリコン電極 6b の積層電極とし、例えばシリコン窒化膜 24 をマスクとしてこの積層電極をパターン形成する。そして、ゲート電極 6 をマスクとして  $As$  イオン注入を行って、ソース、ドレインの拡張領域 7b となる  $n$  型層を形成する。拡張領域 7b の深さは、 $p$  型層 4 より深くする。

【0041】

次に、図 9 に示すように、ゲート電極 6 の側壁にシリコン窒化膜 25 からなる側壁絶縁膜を形成する。そして、図 10 に示すように、ソース、ドレイン領域のシリコン表面を露出させ、ここに選択エピタキシャル成長によりシリコン層 26 を形成する。これは、次に形成される高濃度のソース、ドレイン領域の拡散深さ

に比べて、 $p$  型層 2 と  $n^-$  型層 3 の接合面位置を深く保つためである。

#### 【0042】

この後、図 1 1 に示すように、 $As$  イオン注入を行って、ソース、ドレインの  $n^+$  型低抵抗領域 7 a を形成する。上述のように、低抵抗領域 7 a の拡散深さは、 $p$  型層 2 に達しないようにする。以上により、SODELFET が完成する。その後、図 1 2 に示すように、層間絶縁膜 2 7 を堆積し、これに必要なコンタクト孔を形成して、 $W$  等のコンタクトプラグ 2 8 を埋め込む。この後は示さないが、層間絶縁膜 2 7 上にメタル配線を形成する。

#### 【0043】

以上のようにこの実施の形態による SODELFET は、チャネル領域の  $p$  型層 4 をソース、ドレインの拡張領域 7 b よりも浅く形成し且つ、ソース、ドレインの低抵抗領域 7 a の底面が、 $n^-$  型 3 内に位置するように  $n^-$  型層 3 の厚さを比較的大きく設定している。これにより、垂直電界緩和の効果によりチャネル領域の高キャリア移動度が保証され、またサブミクロン領域でも短チャネル効果を十分に抑制することが可能になる。そしてこれらの効果は、 $p/n^-/p$  構造を得るのに、エピタキシャル成長工程を組み合わせることにより初めて得られる。また、ソース、ドレインの低抵抗領域 7 a の底面は、ビルトインポテンシャルで完全空乏化する  $n^-$  型層 3 内にあって、 $p$  型層 2 には接しないようにしているから、接合容量が小さく、高速動作が可能になり、また高いパンチスルー耐圧が得られる。

#### 【0044】

この実施の形態の場合、完全空乏化素子を実現してしかもしきい値電圧を最適条件に設定するには、ゲート電極 6 にメタル電極 6 a を用いることも重要である。具体的に、メタル電極 6 a としては、 $TiN$ 、 $WN$  等が用いられる。また二つの仕事関数を持つメタル電極 6 a としては、二種の材料の組み合わせである ( $TiN$ 、 $WN$ )、( $W$ 、 $WN$ ) 等が用いられる。即ち、必要とするしきい値電圧に応じて適当な仕事関数のメタル電極 6 a を用いることによって、所望のしきい値電圧を得ることが可能になる。

#### 【0045】

なお、上記実施の形態において、チャネル領域のキャリア移動度をより改善するためには、p型層4として、SiGe歪み合金層或いは、Si/SiGe歪み合金層を用いることも有効である。これにより、より高い電流駆動能力のSODELFETが得られる。以下の各実施の形態についても同様である。

【0046】

〔実施の形態2〕

上記実施の形態1において、 $p/n^-/p$ 構造の不純物濃度及び厚さを最適化したとしても、ゲート長 $L_g$ が50nm或いはそれ以下の世代になると、ソース、ドレイン間のパンチスルー現象が無視できなくなる。

図14は、この様な事情を考慮して、確実なパンチスルー防止を可能とした実施の形態2のSODELFET構造を図1に対応させて示している。ソース、ドレインの拡張領域7bの直下に、ハロ領域であるp型層9が埋め込まれている点が図1と異なる。

【0047】

従来、パンチスルー防止を目的としてチャネル領域の中央部の不純物濃度を高くするために、斜めイオン注入を利用する方法が提案されている。しかしこの発明の場合、チャネル領域中央部の不純物濃度を高めることは、基板垂直方向の電界を緩和して高いキャリア移動度を実現する上で障害となる。従って、図14の構造を得るためには、ゲート電極6をマスクとした垂直方向のイオン注入により、拡張領域7bの直下にp型層9を形成する。

【0048】

斜めイオン注入によりハロ領域を形成する方法では、ゲート電極が微細ピッチで配列されるLSIの場合、隣接するゲート電極が影になってイオン注入ができない素子、従って短チャネル効果が改善されない素子が部分的に現れる。これに対して、上述のように垂直方向のイオン注入によりハロ領域であるp型層9を形成すれば、ゲート電極が微細ピッチで形成される場合にも支障なく、図14の素子構造を得ることができる。即ち、微細化したときの短チャネル効果の抑制とパンチスルー耐圧の保証が可能になる。

【0049】

ここまでの実施の形態では、一つの素子領域のみに着目して説明を行った。同じ素子構造の S O D E L F E T を集積した L S I を作る場合には、上述した  $p/n^-/p$  構造を、基板全面へのエピタキシャル成長とイオン注入により一律に作ればよい。しかし、選択的なイオン注入を利用することにより、各素子のチャンネル領域毎に  $p/n^-/p$  構造を作るようにすることもできる。

【 0 0 5 0 】

[実施の形態 3]

図 1 5 は、選択的なイオン注入により  $p/n^-/p$  構造を作るようにした実施の形態 3 の S O D E L F E T の構造を図 1 に対応させて示している。図 1 と異なり、エピタキシャル成長させたアンドープのシリコン層 1 0 の、チャンネル領域を形成する部分のみに選択的に A s イオン注入を行って、 $n^-$  型層 3 を形成している。チャンネル領域となる  $p$  型層 4 についても、同様に選択的な B イオン注入により形成することができる。

【 0 0 5 1 】

この様な選択イオン注入を利用すると、ソース、ドレインの低抵抗領域 7 a の接する領域がアンドープ (i) シリコン層 1 0 となり、ソース、ドレインの接合容量を更に低減することが可能になる。

【 0 0 5 2 】

[実施の形態 4]

ここまでの実施の形態は、完全空乏化素子である F D - S O D E L F E T を説明した。従ってしきい値電圧はゲート電極の仕事関数で決まり、調整の自由度は小さい。しかし L S I の場合一般に、しきい値電圧の異なる M I S F E T を混載することにより回路設計を適正化して、高性能化を図ることが望まれる。そのためには、完全空乏化素子のみでは都合が悪いこともある。

【 0 0 5 3 】

これに対しては、実施の形態 3 で説明した選択イオン注入法を利用すれば、チャンネル領域の不純物濃度や厚さを異ならせてしきい値電圧を異ならせた複数の M I S F E T を集積することができる。

図 1 6 は、上記実施の形態 3 で説明した F D - S O D E L F E T と b u l k F



ETを集積した構造を示している。これを製造工程に従って説明すれば、実施の形態1の製造工程で説明したと同様に、まずp型層2が形成されたシリコン基板1にアンドープのシリコン層10をエピタキシャル成長させた後に、素子分離領域にSTIにより素子分離絶縁膜30を埋め込む。但しp型層2は、基板全面に形成することなく、SODELFET領域のみに選択的にイオン注入して形成してもよい。

## 【0054】

その後FD-SODELFETの領域には、ゲート電極6の形成前に、実施の形態4で説明したと同様の選択イオン注入により、 $n^-$ 型層3及びp型層4を順次形成する。bulkFET領域には、エピタキシャル成長により形成されたアンドープのシリコン層に対して別の選択イオン注入工程により、p型層31を形成し、必要に応じてチャンネルイオン注入を行う。その後、各素子領域にゲート電極6を形成して、ソース、ドレインの拡張領域7b及び低抵抗領域7aを同時に形成する。

これにより、しきい値電圧の異なるFD-SODELFETとbulkFETを集積することができる。

## 【0055】

図17は、FD-SODELFETと共に、チャンネル反転層形成時にもチャンネル領域が完全には空乏化しない、部分空乏化(Partially Depleted)素子であるPD-SODELFETを集積した構造を示している。FD-SODELFETは、図16のそれと同様の工程で形成する。PD-SODELFETについては、FD-SODELFETと異なるイオン注入条件で、 $n^-$ 型層3a及びp型層4aを順次形成する。但し、PD-SODELFETの $n^-$ 型層3aと、FD-SODELFET側の $n^-$ 型層3とは同じ条件でもよい。少なくとも、PD-SODELFETのp型層4aは、FD-SODELFETのp型層4より高不純物濃度で厚く形成する。図17の場合、p型層4aは、ソース、ドレインの拡張領域7bの拡散深さよりは深く、低抵抗領域7aよりは浅く形成している。また拡張領域7bは、 $n^-$ 型層3aに接している。

## 【0056】

PD-SODELFETの $p/n^-/p$ 構造部の不純物濃度分布を、FD-SODELの図2と比較して示すと、例えば図18のようになる。 $p$ 型層4aのボロン濃度は、図2の場合に比べて、1桁程度高くしている。これにより、FD-SODELFETよりしきい値電圧が高く、チャネル反転層形成時に $p$ 型層4aが部分的に空乏化するPD-SODELFETが得られる。即ち $p$ 型層4aは、拡張領域7bとの間の空乏層及び、完全空乏化する $n^-$ 型層3aにより囲まれて、浮遊状態の $p$ 型層となる。

## 【0057】

図19は、上述したPD-SODELFETのドレイン電圧 $V_d$ -ドレイン電流 $I_d$ 特性を、ゲート電圧 $V_g$ をパラメータとして計算により求めた結果を示している。ゲート長は $L_g = 70 \text{ nm}$ 、電源電圧は $V_{dd} = 1 \text{ V}$ 、オフ電流は $I_{off} = 22.5 \text{ nA}/\mu\text{m}$ としている。図から明らかなように、ドレイン電圧 $V_d$ の途中からドレイン電流 $I_d$ が急上昇するキンク特性が得られている。このキンク特性は、 $p$ 型層4aの部分空乏化の結果、しきい値電圧が見かけ上低くなることにより得られるPD-SODELFETに特有の特性である。具体的にこのキンク特性は、あるドレイン電圧を越えると、インパクトイオン化により発生したホールが $p$ 型層4aに蓄積されて、しきい値電圧が見かけ上低くなることにより得られる。

## 【0058】

また、図20は、PD-SODELFETについて、ゲート電圧を $V_g = 1 \text{ V}$ 固定とし、ドレイン電圧 $V_d$ を破線で示すようにパルス的に時間変化させたときの、ボディ領域( $p$ 型層4a)の電位 $V_b$ の変化を、エピタキシャル成長させたシリコン層10の厚さをパラメータとして示している。ドレイン電圧 $V_d$ に追従してボディ電位 $V_b$ が変化しており、これが $p$ 型層4aが実質フローティングになっていることを示している。

## 【0059】

なお、図16及び図17におけるFD-SODELFET及びPD-SODELFETについて、図14の実施の形態と同様に、ソース、ドレイン拡張領域7bの直下にハロ領域として $p$ 型層9を埋め込む構造を用いてもよい。

## 【 0 0 6 0 】

次に、この発明によるFD-SODELFET或いはPD-SODELFETとbulkFETを組み合わせる好ましい回路例を説明する。

図21は、直列接続されたNチャネルMISFET-QN1～QN3と、並列接続されたPチャネルMISFET-QP1～QP3により構成されるNANDゲートである。この様な回路では、通常のをを用いた場合、縦積みされたMISFET-QN1～QN3の部分がそれぞれ異なる基板バイアスがかかり、見かけ上しきい値電圧が異なることになる。

## 【 0 0 6 1 】

そこで、このMISFET-QN1～QN3の部分には、bulkFETに比べて基板バイアスの影響が小さいFD-SODELFET又はPD-SODELFETを用いる。一方、PチャネルMISFET-QP1～QP3の部分には、寄生バイポーラトランジスタによるリークが小さいbulkFETを用いる。これにより、動作の安定性と高いノイズマージンを得ることができる。

## 【 0 0 6 2 】

図22は、ダイナミックドミノ回路である。ノードNと接地端子Vssの間には、並列接続されたNチャネルMISFET-QN11～QN13が、クロックCKにより駆動されるNチャネルMISFET-QN14を介して接続される。ノードNと電源端子Vddの間には、プリチャージ信号PREにより制御されるPチャネルMISFET-QP11が設けられる。ノードNは、インバータINVを介して出力端子OUTにつながる。ノードNと電源端子Vddの間には更に、出力端子OUTの電圧により制御されるPチャネルMISFET-QP12が設けられる。

## 【 0 0 6 3 】

この様なクロックにより駆動されるダイナミック回路では、ノードNのキャパシタンスが大きいと高速動作が難しくなる。また、MISFET-QN11～QN13のソース、ドレインの接合容量が大きいと、プリチャージ用MISFET-QP11及びクロック用MISFET-QN11がオフの状態であつ、A、B、Cの入力が“H”のとき、ノードNの蓄積電荷が分配されて、“H”レベル＝

V d d を保持すべきノードNの電位がV d d より大きく低下してしまう。逆にキャパシタンスが小さいとノイズマージンが低下する。従って、M I S F E T - Q N 1 1 ~ Q N 1 3 の駆動能力との関係でノードNのキャパシタンスを最適化することが必要である。そこで例えば、M I S F E T - Q N 1 1 ~ Q N 1 3 の部分には、ノードNのキャパシタンスを比較的小さく保つことができるF D - S O D E L F E T 又はP D - S O D E L F E T を用い、M I S F E T - Q N 1 4 , Q P 1 1 , Q P 1 2 の部分にはb u l k F E T を用いる。

## 【 0 0 6 4 】

これにより、ノイズマージンを低下させることなく、高速動作が可能な回路を得ることができる。即ち、b u l k F E T のみを用いて図 2 2 のダイナミック回路を構成した場合には、ノードNのキャパシタンスが大きくなり、これを高速で充放電することが難しいが、M I S F E T - Q N 1 1 ~ Q N 1 3 の部分には、ノードNのキャパシタンスを比較的小さく保つことができるF D - S O D E L F E T 又はP D - S O D E L F E T を用いることにより、高速動作が可能になる。また、ノードNの保持すべき電位を確実に保持することが可能になる。

一方、図 2 2 のダイナミック回路を全て、S O D E L F E T により構成すると、ボディ領域が浮遊状態にある結果、寄生バイポーラトランジスタ効果が発生すること、またノードNが蓄積できる電荷量が少なくなることから、ノイズ耐性が悪くなる。そこで、M I S F E T - Q N 1 1 ~ Q N 1 3 の部分にはS O D E L F E T を用い、それ以外の部分にはb u l k F E T を用いることにより、トレードオフの関係にあるノイズマージンと高速性能を最適化することができる。

## 【 0 0 6 5 】

また、アナログ回路やメモリのセンスアンプ回路等には、差動アンプが多く用いられる。例えば二つのC M O S 回路で構成される差動アンプは、二つのC M O S 回路のしきい値が揃っていることが重要である。しかし、この発明によるS O D E L F E T の場合、ボディ領域がフローティングであることから、過去の履歴に影響されてしきい値がずれることがあり、二つのC M O S 回路のしきい値を常に揃えておくことが簡単ではない。従って、この発明によるS O D E L F E T を用いたL S I においても、差動アンプについてはb u l k F E T を用いるといっ

た、使い分けを行うことが好ましい。

【0066】

また、この発明によるFD-SODELFETを用いたLSIにおいて、 $p/n^-/p$ 構造を素子毎に分離して設けた場合に、選択的に下部のp型層にしきい値電圧を調整するための基板バイアスを印加する基板バイアス印加回路を備えることも有効である。特に、図14に示したように、ソース、ドレインの拡張領域7bの下にハロ領域であるp型層9を形成したFD-SODELFETについては、p型層2にバイアスを印加することにより、しきい値を調整できることが確認されている。図23は、図14に示すFD-SODELFETについて、p型層2に印加する基板バイアス電圧 $V_{sub}$ を変えたときのドレイン電流 $I_d$ -ゲート電圧 $V_g$ 特性を示している。この特性から、p型層2を素子毎に分離して設けてここに基板バイアス印加回路を接続すれば、しきい値電圧の異なるFD-SODELFETを集積したLSIを得ることができる。

【0067】

【発明の効果】

以上述べたようにこの発明によれば、バルク半導体を用いてより簡単な構造で微細化と高性能化を可能としたトランジスタを持つ半導体装置を提供することができる。

【図面の簡単な説明】

【図1】

この発明の実施の形態によるFD-SODELFETの構造を示す断面図である。

【図2】

同FD-SODELFETのチャネル領域の深さ方向の不純物濃度分布を示す図である。

【図3】

この発明によるSODELFETのしきい値電圧ロールオフ値 $\delta V_{th}$ とp型層厚さの関係をSOIFETと比較して示す図である。

【図4】

この発明による S O D E L F E T のしきい値電圧ロールオフ値  $\delta V_{th}$  及び電子移動度  $\mu_e$  と  $n^-$  型層厚さとの関係を示す図である。

【図 5 A】

同実施の形態の F D - S O D E L F E T の  $p/n^-/p$  構造を得る製造工程における素子分離工程を示す断面図である。

【図 5 B】

同製造工程の  $p$  型層イオン注入工程とシリコン層エピタキシャル成長工程を示す断面図である。

【図 5 C】

同製造工程の  $n^-$  型層のイオン注入工程を示す断面図である。

【図 5 D】

同製造工程のチャネル領域となる  $p$  型層のイオン注入工程を示す断面図である。

【図 6 A】

同実施の形態の F D - S O D E L F E T の  $p/n^-/p$  構造を得るための他の製造工程における素子分離工程を示す断面図である。

【図 6 B】

同製造工程の  $p$  型層イオン注入工程とシリコン層エピタキシャル成長工程を示す断面図である。

【図 6 C】

同製造工程の  $n^-$  型層のイオン注入工程を示す断面図である。

【図 6 D】

同製造工程のシリコン層エピタキシャル成長工程を示す断面図である。

【図 6 E】

同製造工程のチャネル領域となる  $p$  型層のイオン注入工程を示す断面図である。

【図 7】

同実施の形態の F D - S O D E L F E T を集積化するための製造工程における  $p/n^-/p$  構造形成工程及び素子分離工程を示す断面図である。

【図 8】

同製造工程のゲート電極形成工程及びソース、ドレイン拡張領域形成工程を示す断面図である。

【図 9】

同製造工程のゲート側壁絶縁膜形成工程を示す断面図である。

【図 1 0】

同製造工程のソース、ドレイン領域の選択エピタキシャル成長工程を示す断面図である。

【図 1 1】

同製造工程のソース、ドレイン低抵抗領域の形成工程を示す断面図である。

【図 1 2】

同製造工程の層間絶縁膜及びコンタクトプラグ形成工程を示す断面図である。

【図 1 3】

ゲート長としきい値電圧ロールオフ値の関係を示す図である。

【図 1 4】

他の実施の形態による FD-SODELFET の構造を示す断面図である。

【図 1 5】

他の実施の形態による FD-SODELFET の構造を示す断面図である。

【図 1 6】

FD-SODELFET とバルク FET の集積化構造を示す断面図である。

【図 1 7】

FD-SODELFET と PD-SODELFET の集積化構造を示す断面図である。

【図 1 8】

図 1 7 の PD-SODELFET のチャネル領域不純物濃度分布を示す図である。

【図 1 9】

図 1 7 の PD-SODELFET の静特性を示す図である。

【図 2 0】

図 1 8 の P D - S O D E L F E T の ボ デ ィ 電 位 の ド レ イ ン 電 圧 依 存 性 を 示 す 図 である。

【図 2 1】

この発明を適用するに好ましい回路例を示す図である。

【図 2 2】

この発明を適用するに好ましい他の回路例を示す図である。

【図 2 3】

この発明による F D - S O D E L F E T の 基 板 バ イ ア ス 印 加 の 効 果 を 示 す 図 である。

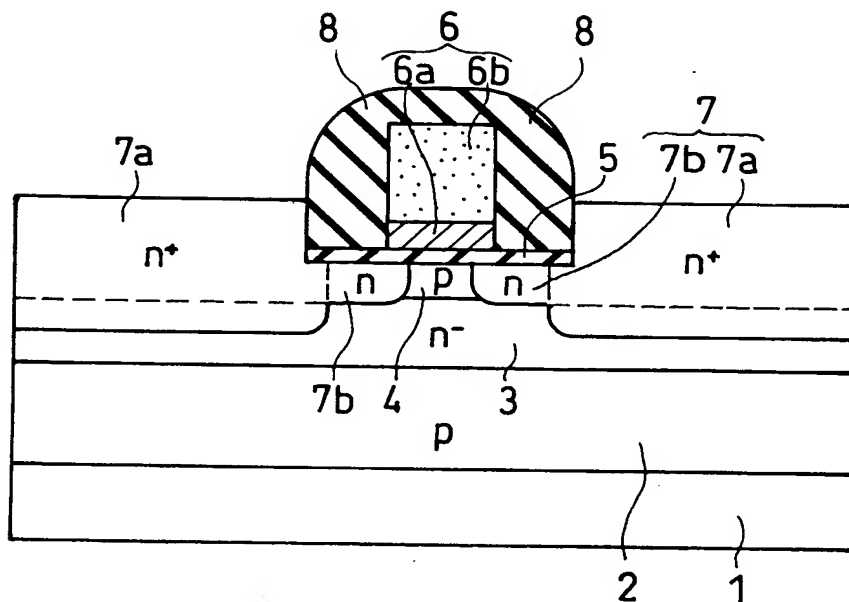
【符号の説明】

1 … シリコン基板、 2 … p 型層、 3 … n<sup>-</sup>型層、 4 … p 型層（チャネル領域）、 5 … ゲート絶縁膜、 6 … ゲート電極、 6 a … メタル電極、 6 b … 多結晶シリコン電極、 7 … ソース、ドレイン拡散層、 7 a … 低抵抗領域、 7 b … 拡張領域、 8 … 側壁絶縁膜、 1 0 , 1 1 … シリコン層（エピタキシャル成長層）。

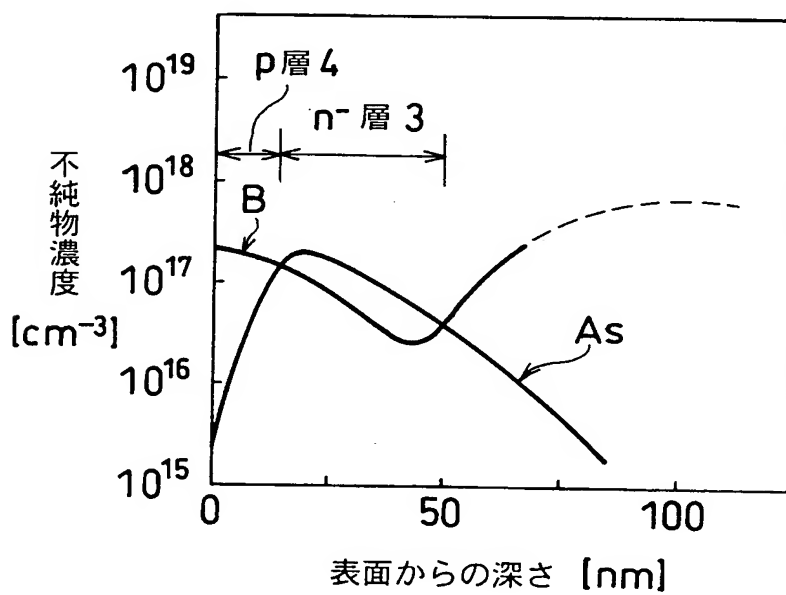


【書類名】 図面

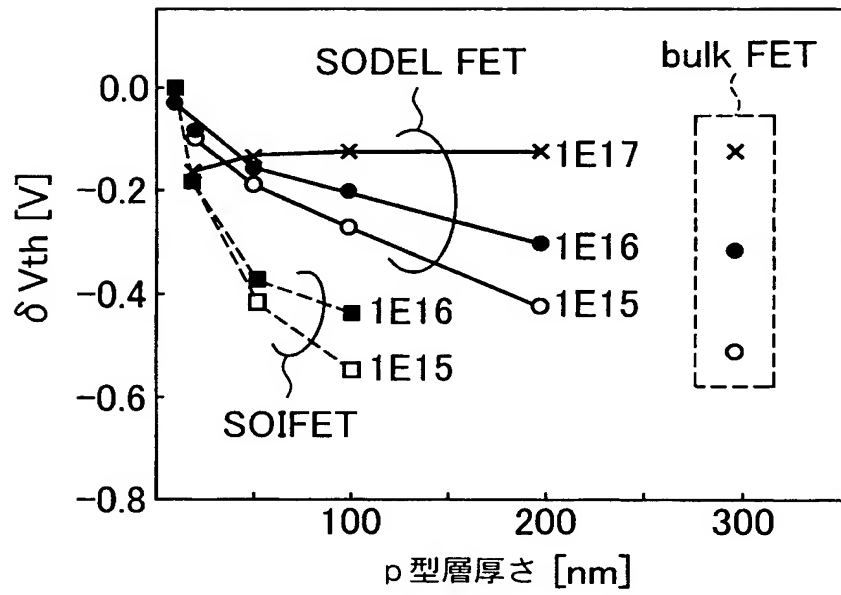
【図 1】



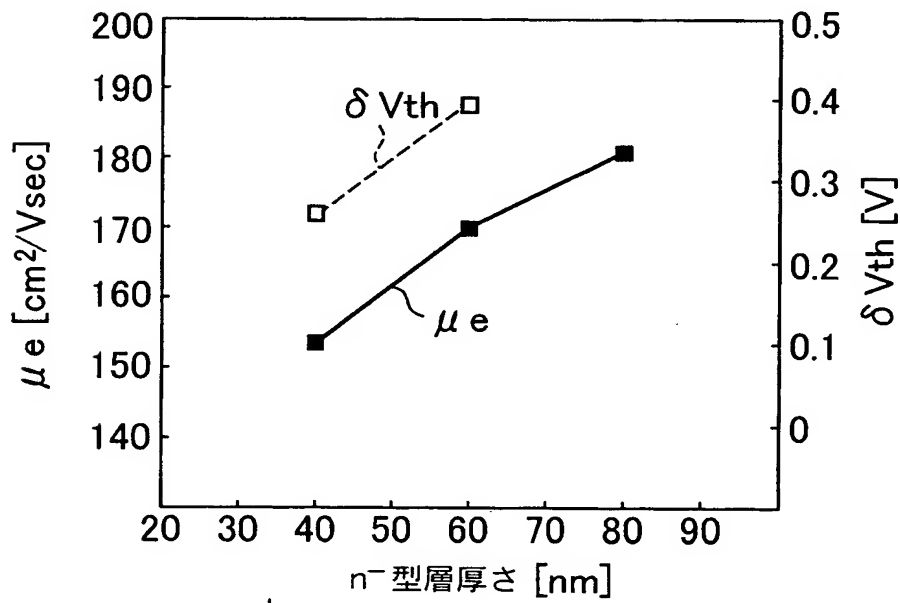
【図 2】



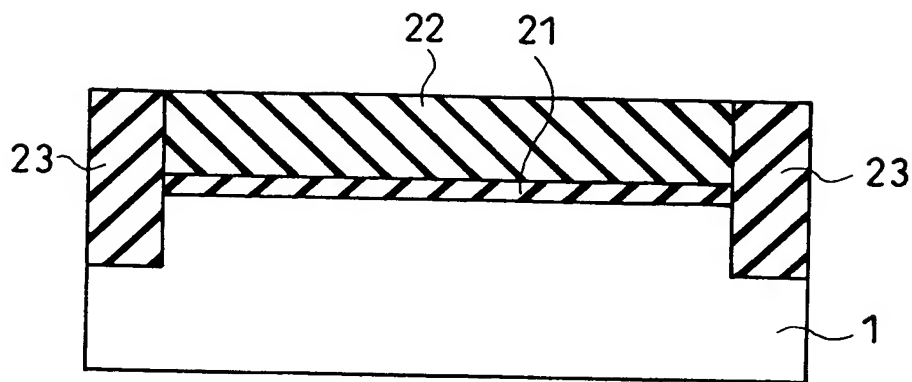
【図 3】



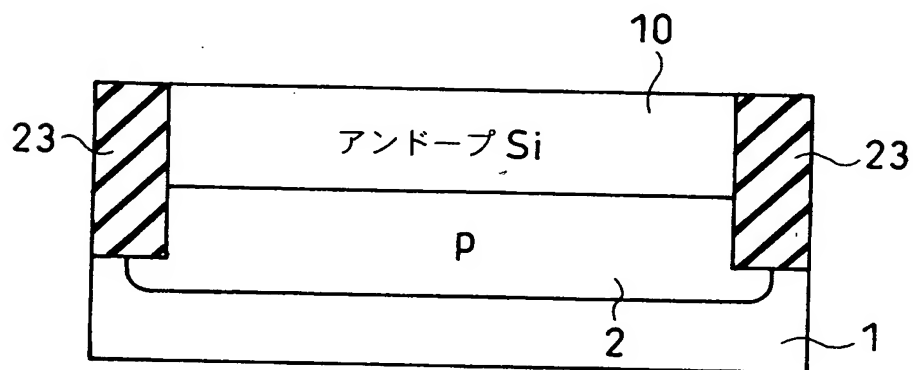
【図 4】



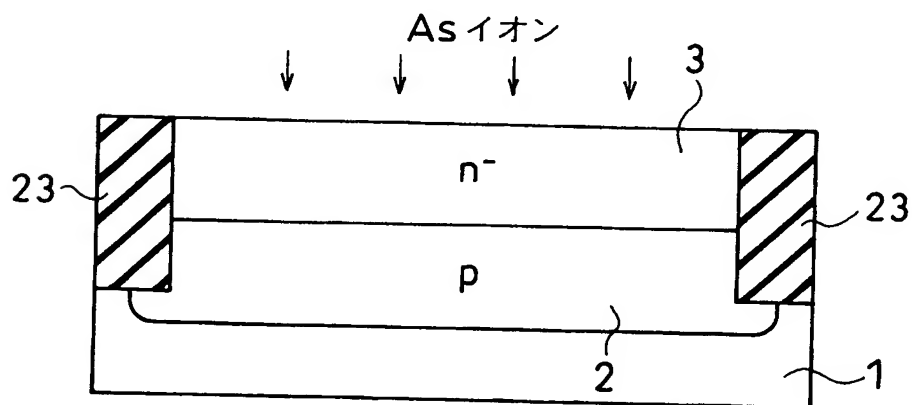
【図 5 A】



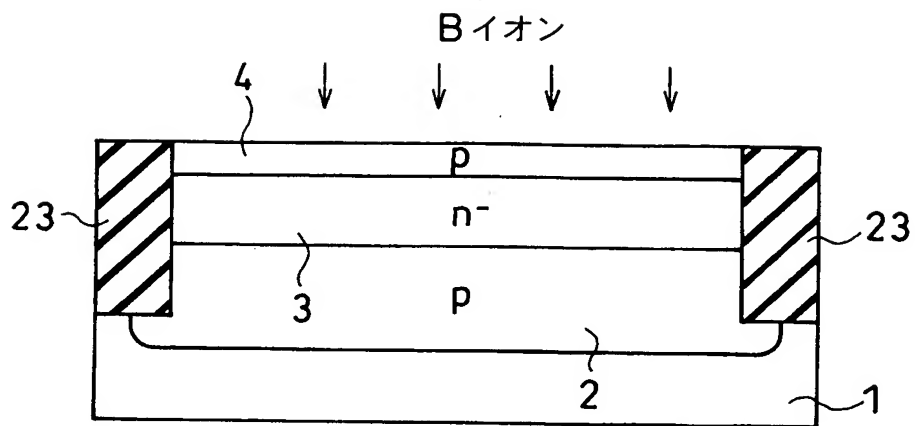
【図 5 B】



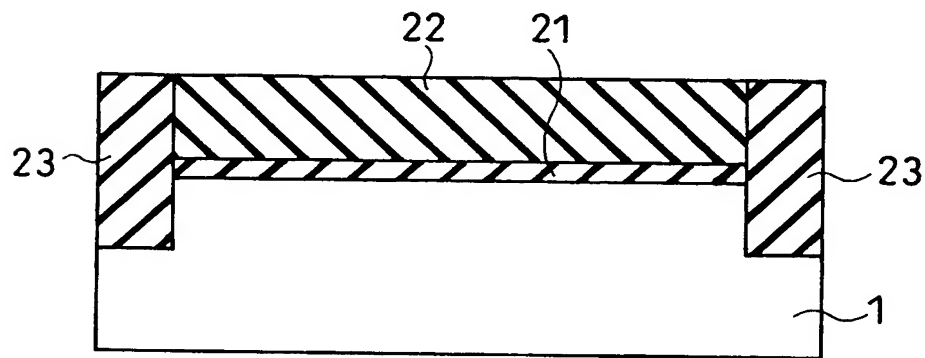
【図 5 C】



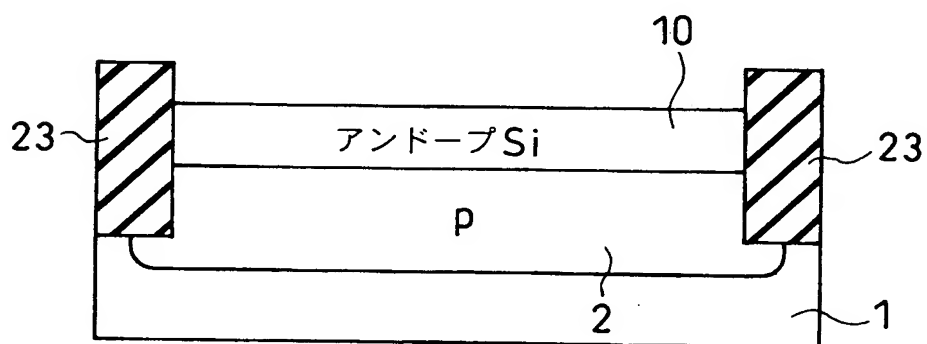
【図 5 D】



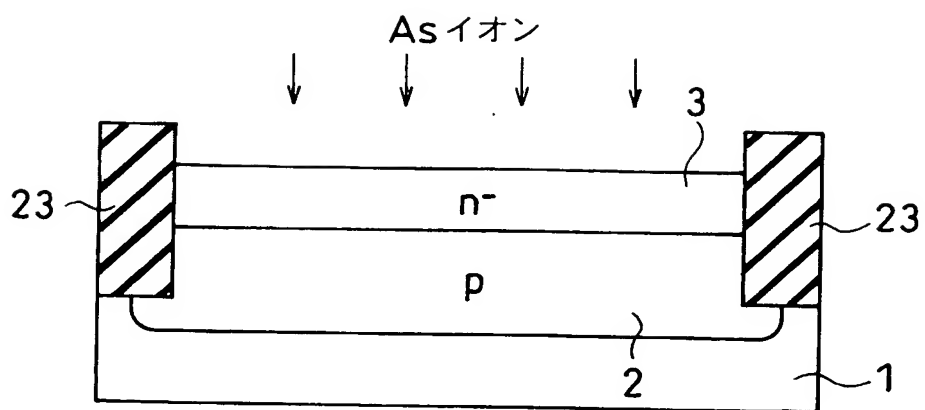
【図 6 A】



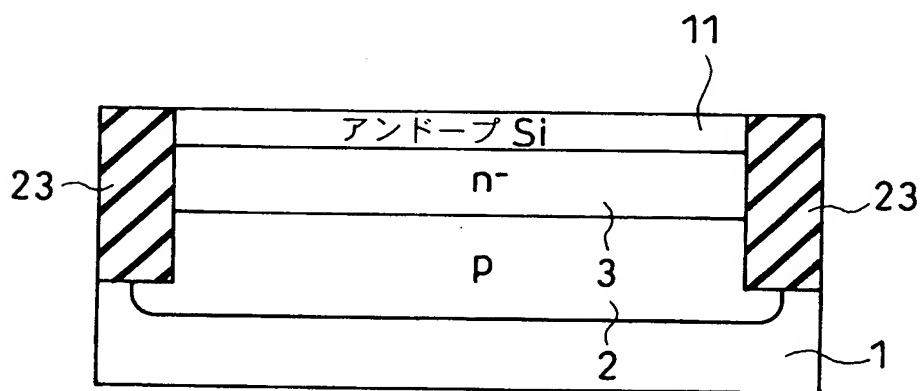
【図 6 B】



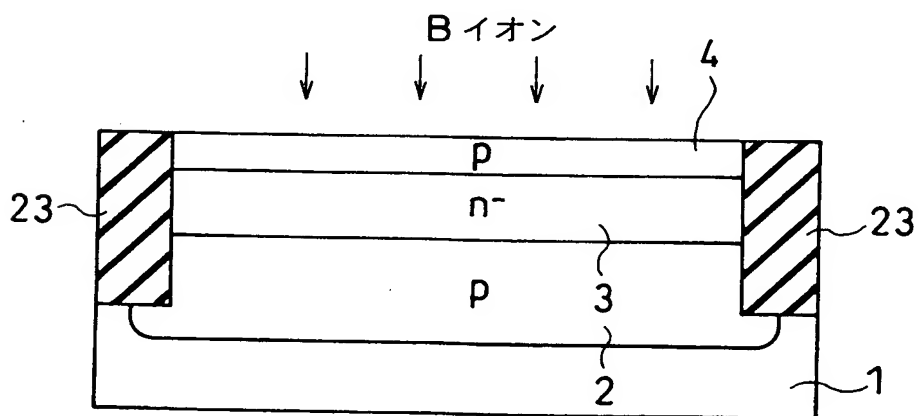
【図 6 C】



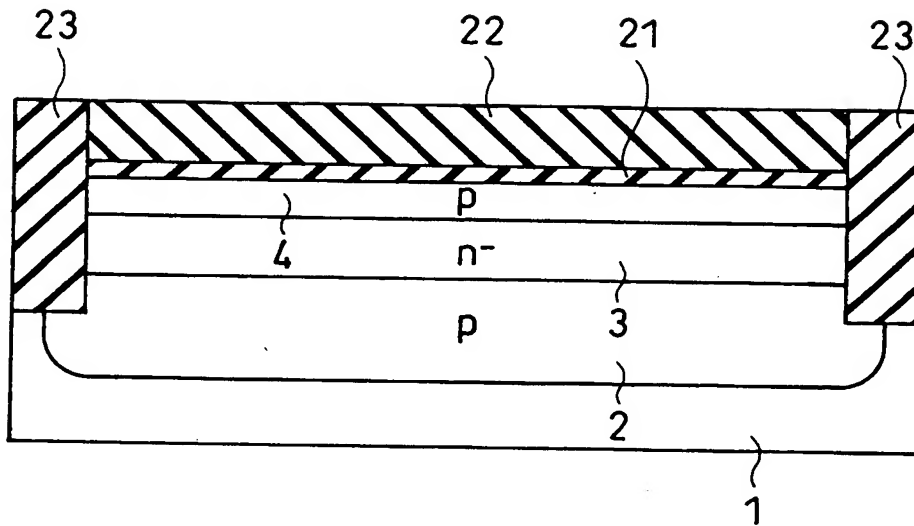
【図 6 D】



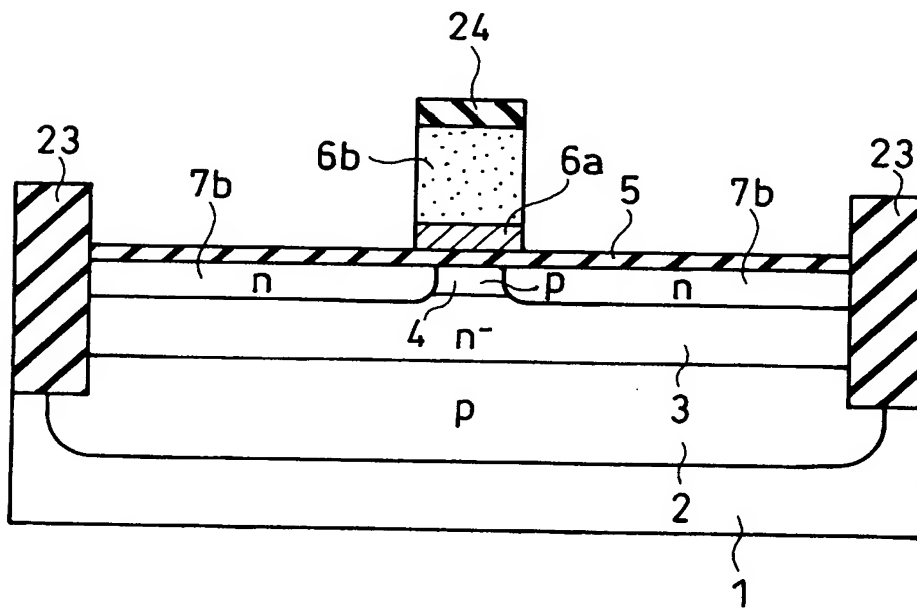
【図 6 E】



【図 7】



【図 8】



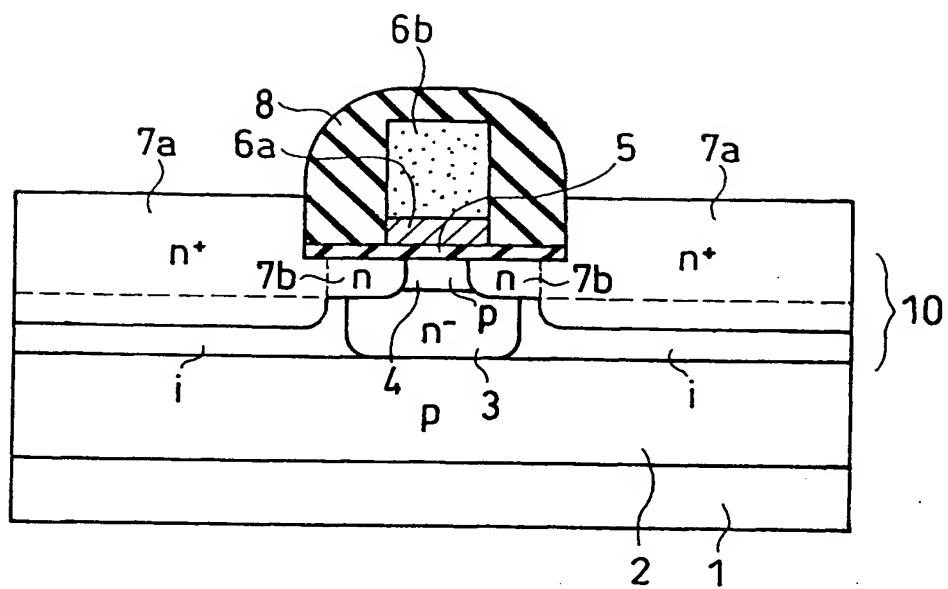




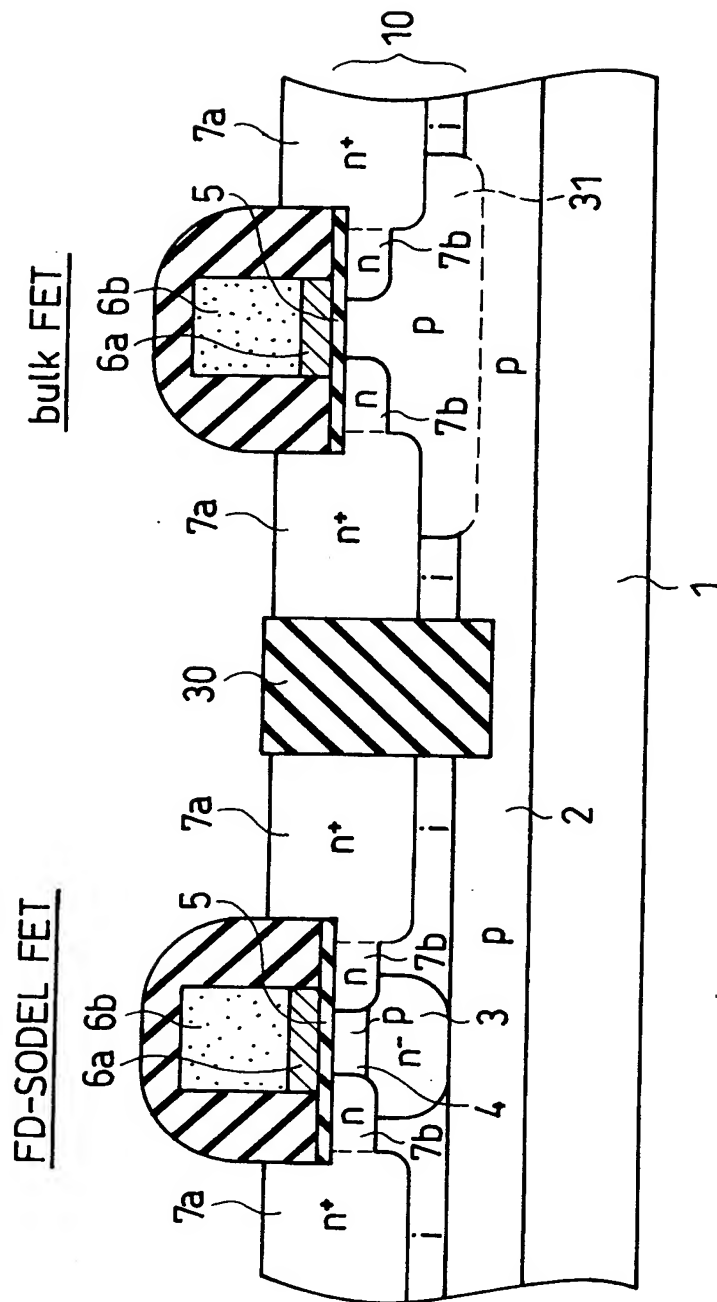




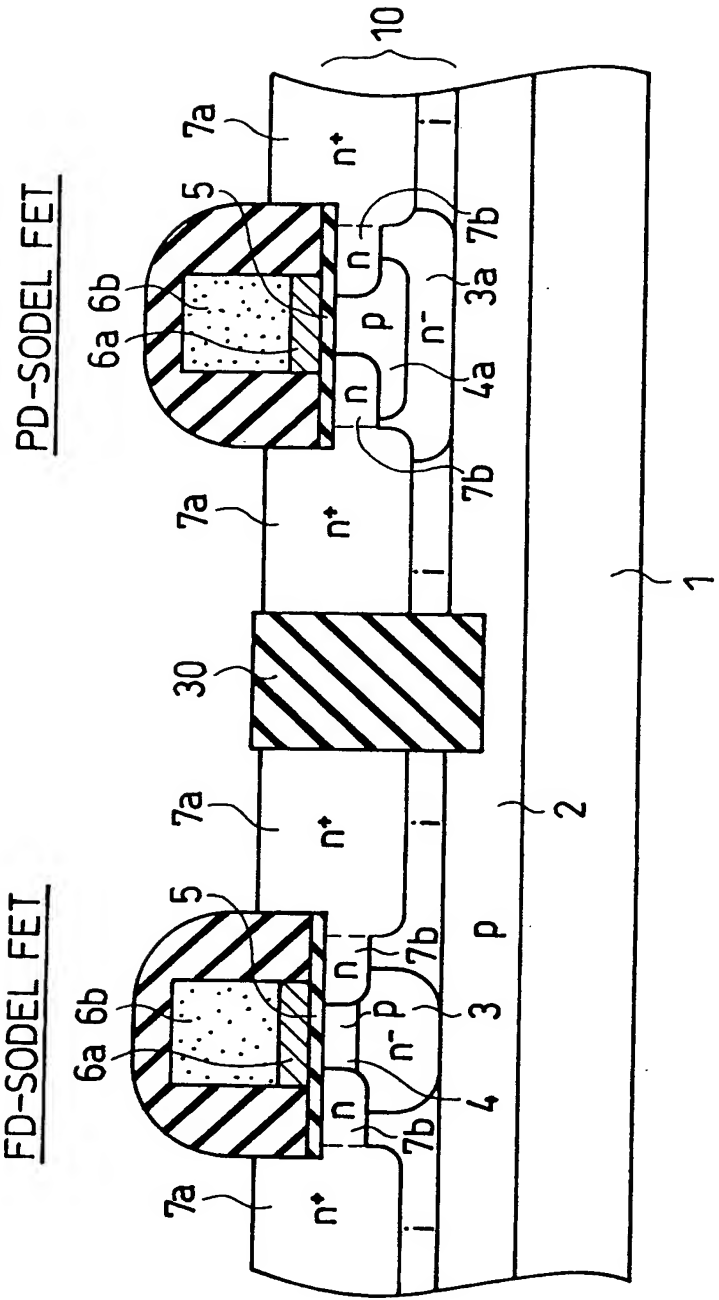
【図 15】



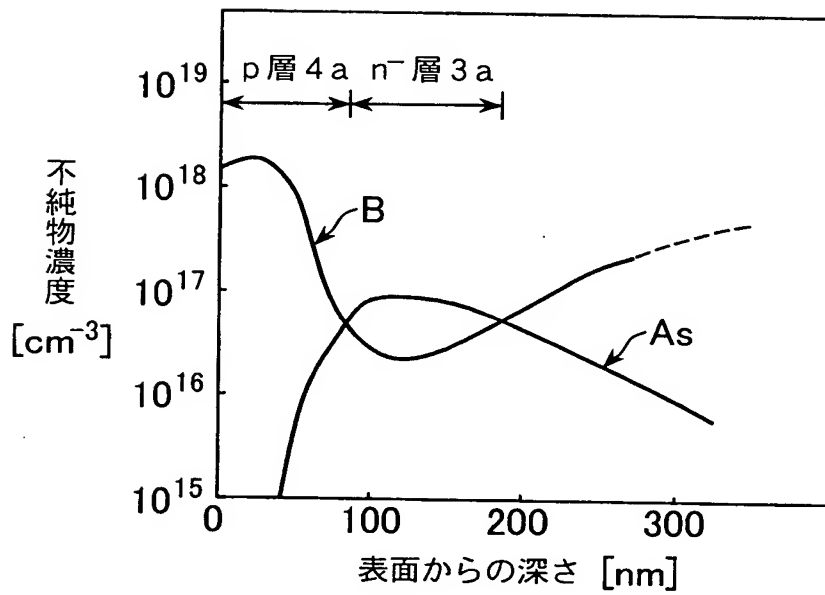
【図 16】



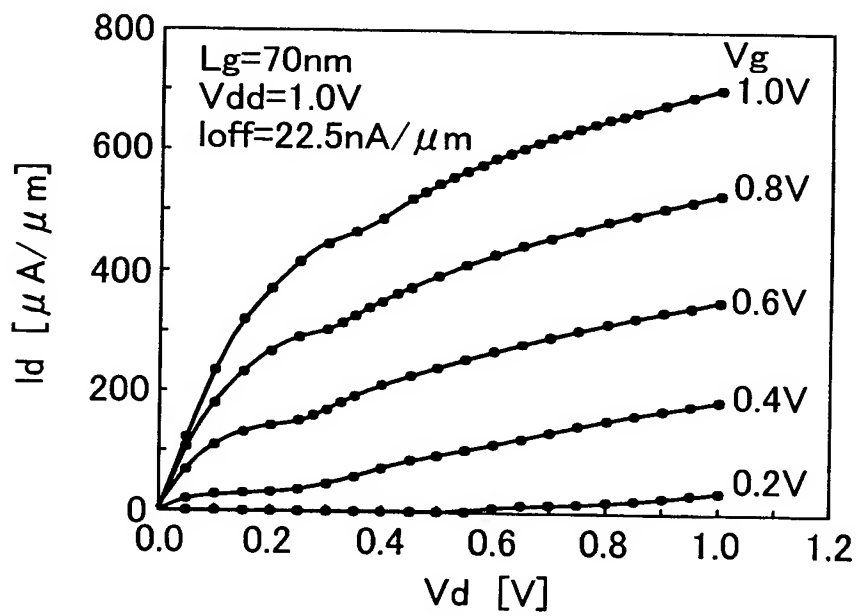
【図 17】



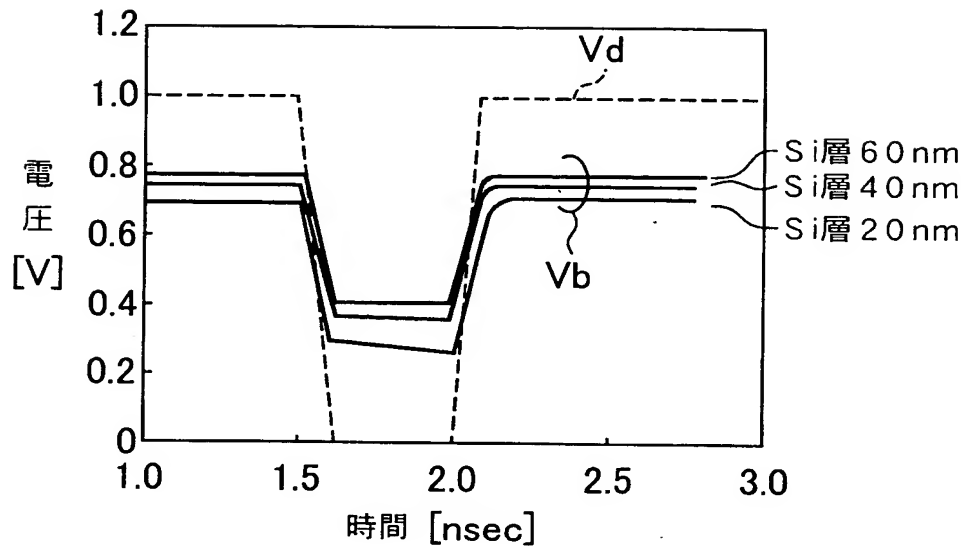
【図 18】



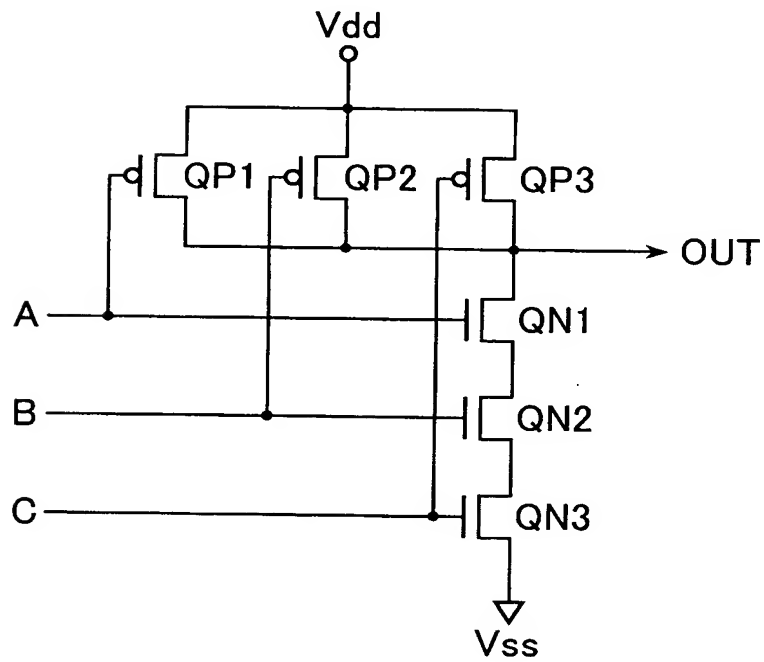
【図 19】



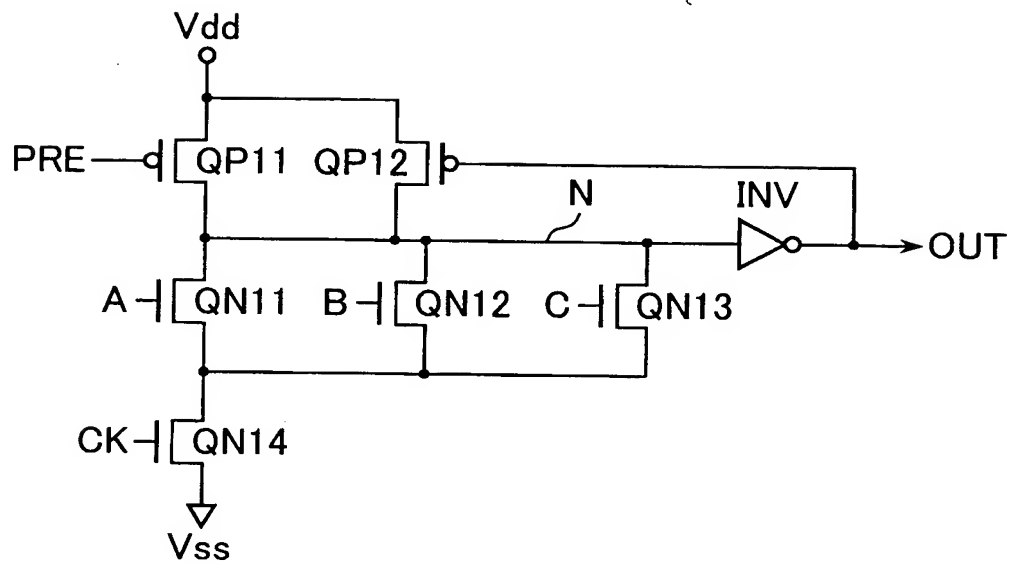
【図 20】



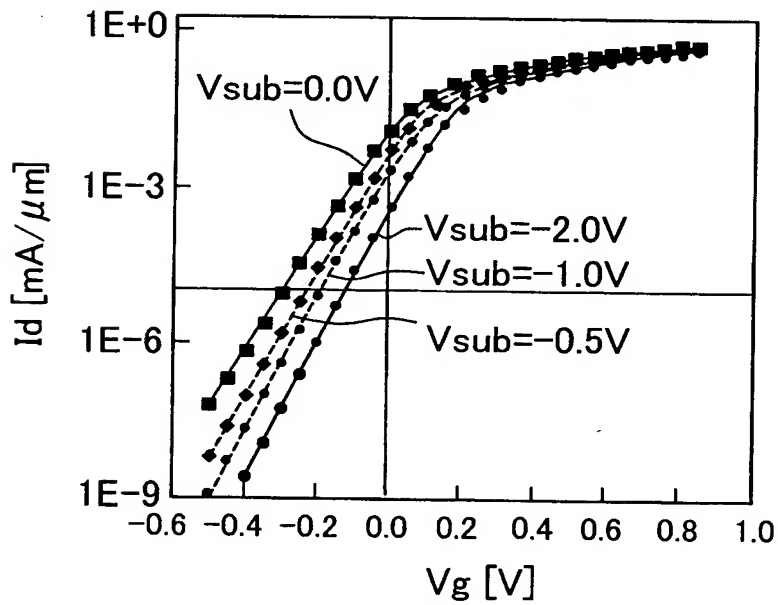
【図 21】



【図 22】



【図 23】



【書類名】 要約書

【要約】

【課題】 バルク半導体を用いてより簡単な構造で微細化と高性能化を可能としたトランジスタを持つ半導体装置とその製造方法を提供する。

【解決手段】 シリコン基板 1 にゲート絶縁膜 5 を介して形成されたゲート電極 6 と、ソース及びドレイン拡散層 7 とを有し、ソース及びドレイン拡散層 7 が低抵抗領域 7 a と、この低抵抗領域 7 a からチャネル領域側に拡張するように形成された低抵抗領域より低不純物濃度で浅い拡張領域 7 b とから構成されるトランジスタを有する。シリコン基板 1 の少なくともゲート電極 6 直下の部分は、ゲート電極 6 側から順にチャネル領域となる p 型層 4、n<sup>-</sup>型層 3 及び p 型層 2 からなる 3 層構造を有し、p 型層 4 は、ソース及びドレイン拡散層 7 の拡張領域 7 b の接合深さより浅く設定され、n<sup>-</sup>型層 3 は、p 型層 2、4 との間に生じるビルトインポテンシャルにより完全空乏化するように不純物濃度と厚さを設定している。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝